

Objectivo e introdução

O objectivo deste trabalho é a o estudo e a montagem prática de circuitos digitais sequenciais síncronos básicos: uma simples *Máquina de Estados* (ME) e *contadores*. Para realizar os circuitos são utilizados integrados da família TTL (*Transistor-Transistor Logic*). Os tipos 74LSxxx ou 74HCTxxx, existentes no laboratório são satisfatórios em termos de velocidade de funcionamento, no presente caso. Na denominação destes circuitos integrados, 74 indica que são da família TLL (também existe a série 54 da mesma família), LS indica que são da variedade *Low-power Schottky* (tem a ver com o projecto electrónico no circuito integrado, em que as portas são realizadas com transístores bipolares “Schottky”), HCT indica que as portas são realizadas com transístores MOS que “simulam” o funcionamento e as especificações das portas bipolares TTL e, finalmente, xxx é um número, com 2, 3 ou mais dígitos, que indica a função específica do circuito integrado em questão. Na prática denominamos os circuitos apenas por xxx ou por 74xxx (por exemplo, quando falamos do ‘191’ ou do ‘74191’ estamos a referir-nos ao 75LS191, ao 74HCT191, ou a qualquer outra variedade de 191, na medida em que na maioria das aplicações a tecnologia de fabrico específica é irrelevante: quando não o é, então esse aspecto é explicitamente mencionado.)

Flip-flops

Os flip-flops (FFs), ou *básculas*, são elementos de memória básicos que funcionam em sincronismo com um sinal de relógio (denominado CK ou CLK). Os FFs modernos são do tipo *edge-triggered*, o que significa que são sensíveis a um dos flancos do sinal de relógio e actualizam o seu estado “quase” precisamente no instante da transição, o que permite concluir que os FFs não mudam de estado enquanto o relógio está estável a ‘0’ ou a ‘1’. O flanco a que são sensíveis tanto pode ser ascendente como descendente, consoante o dispositivo considerado. Neste trabalho vai ser utilizado o integrado 107A que contém dois FFs do tipo JK, *edge-triggered* no flanco negativo do CLK¹. Na fig. 1 encontram-se o seu *pinout* e diagrama lógico, este último desenhado segundo as convenções mais comuns (a da direita deriva da normalização IEC).

Na fig. 2 está mostrada a tabela de funcionamento do 107A.

¹Atenção: o tipo 107 contém *flip-flops* com arquitectura *master-slave*, hoje já não utilizada porque apresentava muitos problemas, comparativamente à “tecnologia” *edge-triggered*.

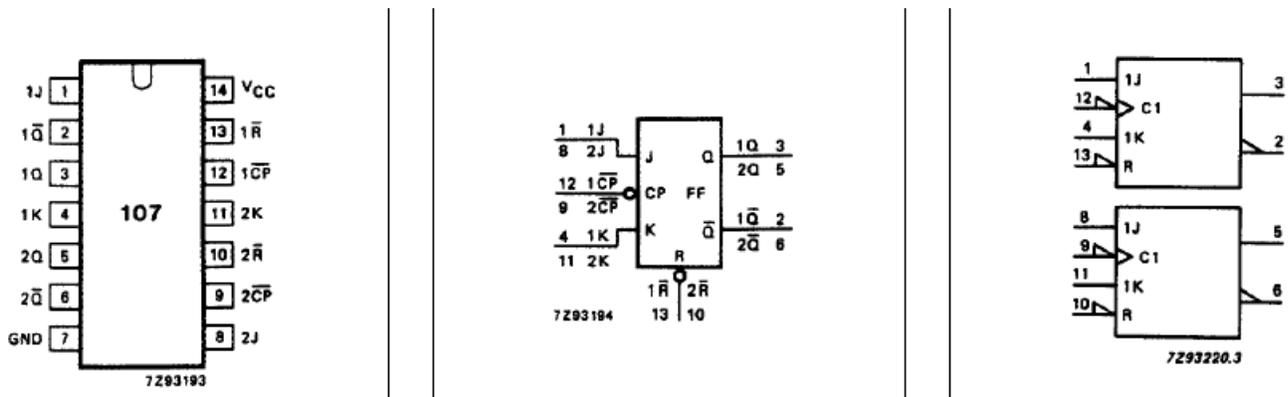


Figura 1: *Pinout* e diagramas lógicos do integrado TTL 74107A.

**FUNCTION TABLES
(SN74LS107A)**

INPUTS				OUTPUTS	
$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{\text{Q}}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{\text{Q}}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{\text{Q}}_0$

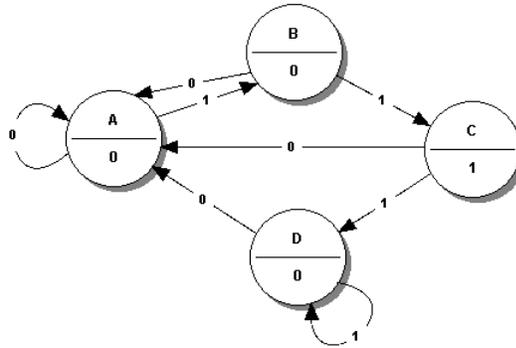


Figura 2: À esquerda, tabela de funcionamento do integrado 74107A. À direita, detector de sequência (máquina de Moore) cujas entrada e saída são os sinais IN e OUT.

Máquinas de Estados

A ME permite modelar circuitos sequenciais síncronos (ou vice-versa...). A sua implementação é feita com flip-flops. Os flip-flops mais utilizados na prática são os D (de *data*) e os JK. Na série 74 da família TTL há muitos integrados com FFs destes tipos: por exemplo os 74, 171, 175 (e muitos outros) contêm alguns FFs do tipo D; os 73, 107, 109, 110, 111, 112, 113 contêm FFs JK. Estes últimos FFs têm tabelas de excitação e de transição mais complexas que aquelas do tipo D, mas isso permite habitualmente sintetizar uma dada ME com JKs usando menos lógica adicional do que se ela fosse sintetizada com FFs do tipo D.

A máquina de estados² que vai ser aqui realizada é mostrada na fig. 2. É um detector de sequências. Identifique a sequência detectada, através do exame dos estados, e das respectivas entrada e saída. É uma máquina de Moore, pois as suas saídas dependem apenas do estado (i.e., não dependem directamente do valor instantâneo das entradas).

Contadores

A família TTL possui uma grande variedade de contadores. Por exemplo os 90, 92, 93, 190, 191, 192 e 193 são contadores de uso generalizado. Estes componentes podem dispor de outras funcionalidades, para além da “contagem” propriamente dita. Por exemplo, podem incrementar ou decrementar (modo *up-down*), podem permitir o carregamento paralelo, ou podem contar por décadas ou em binário. Há contadores do tipo *ripple-counter* que não são verdadeiramente síncronos. Há muita diversidade no que respeita aos flancos do relógio e dos outros sinais de controlo – e.g. do *reset* (ou *clear*) e do *preset* (ou *set*) – a que os contadores são sensíveis.

Um contador é síncrono se todos os FFs que o constituem partilham um mesmo sinal de relógio. Se isto não acontecer, o contador é assíncrono. O contador de *ripple* não é síncrono, embora seja muito utilizado. Os contadores 90, 92 e 93 são *ripple-counters*, enquanto que os 190, 191, 192 e 193 são contadores síncronos, mais “modernos”.

Plano de trabalho

Para observar os sinais de saída dos circuitos, pode ligar entre cada saída e a massa um LED com uma resistência de 150 a 220 Ω em série. Aquele dispositivo acenderá quando a saída respectiva estiver a ‘1’ (tenha atenção à polaridade do LED).

- Realize a máquina de estados da figura sabendo que com uma codificação dos estados A, B, C e D realizada em binário “crescente” (A=’00’, B=’01’, ...) as equações de excitação são:

²A máquina foi desenhada com o programa *qfsm*, que pode ser obtido em <http://sourceforge.net/projects/qfsm/>.

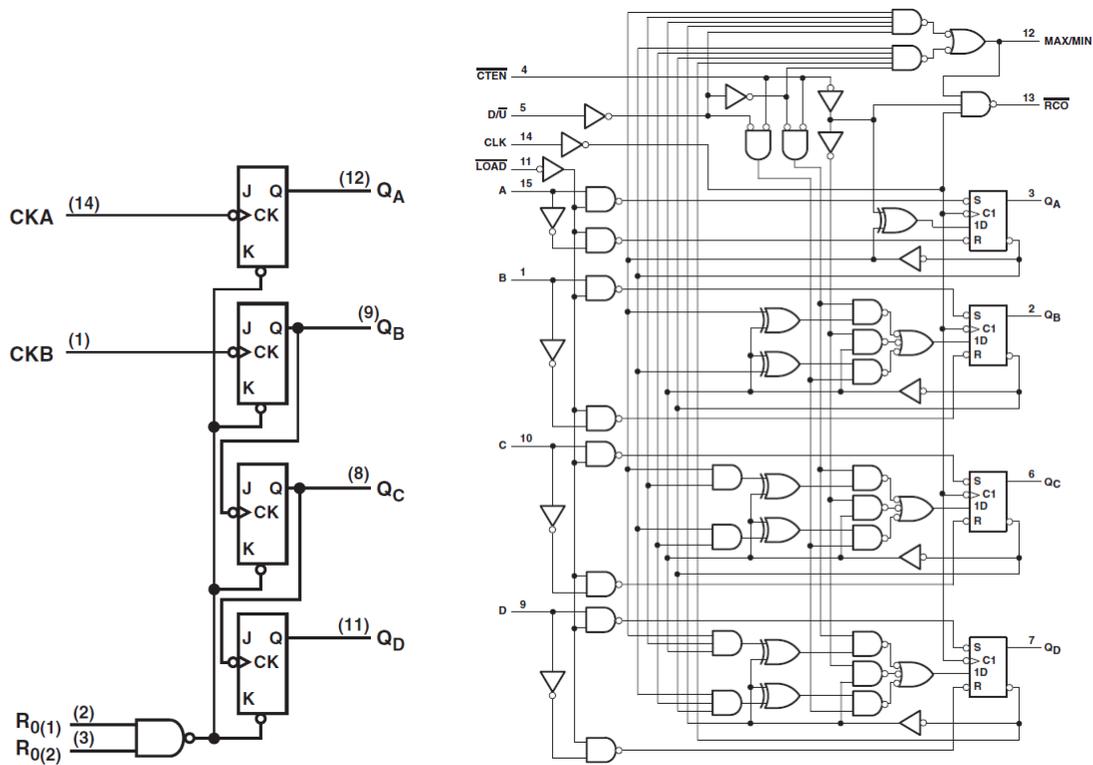


Figura 3: Contadores 7493 (à esquerda) e 74191 (à direita). É visível o esquema de relógio em *ripple* nos flip-flops inferiores do 7493 (presume-se que todos os terminais J e K deste contador estão ligados a '1', colocando os flip-flops no modo *toggle*). Pelo contrário, no 74191 todos os terminais de *clock* dos 4 flip-flops estão ligados à entrada CLK invertida, o que atesta que este é um contador síncrono. Este contador faz uso de bastante lógica combinatória para funcionar em modo *up-down* e fazer carregamento paralelo.

$$J_1 = Q_0 IN; \quad K_1 = I\bar{N}; \quad J_0 = IN \quad \text{e} \quad K_0 = I\bar{N} + \bar{Q}_1.$$

A equação de saída é $OUT = Q_1 \bar{Q}_0$. Pode realizar a ME com um 74107 e dois 7400.

- Implemente um contador em *ripple* de 4 bits utilizando dois CIs 74107 (pode usar o esquema do 7493 como inspiração).
- Monte o 74191 a funcionar em modo *up* e em modo *down*.
- Se tiver tempo, verifique a tabela de funcionamento do flip-flop JK (fig. 2).

Exercícios (facultativos, para treinar depois da aula)

1. Projecte um flip-flop do tipo D a partir dum flip-flop JK.
2. Projecte um flip-flop T a partir dum flip-flop JK (o FF do tipo T tem uma entrada de controlo T e o seu funcionamento é o seguinte: se T=1, o FF muda de estado; se T=0, o FF mantém o mesmo estado – quando o relógio sofre a transição relevante, obviamente).
3. Verifique as equações de excitação da ME com flip-flops JK que foram dadas.
4. Realize a máquina de estados anteriormente descrita utilizando FFs do tipo D.